

SOLAR BATTERY AND MANUFACTURE THEREOF

Patent Number: JP5283722
Publication date: 1993-10-29
Inventor(s): NISHIDA AKIYUKI; others: 02
Applicant(s): CANON INC
Requested Patent: ☐ JP5283722
Application Number: JP19920016520 19920131
Priority Number(s):
IPC Classification: H01L31/04; H01L21/20
EC Classification:
Equivalents: JP2962918B2

Abstract

PURPOSE: To provide a method to obtain a thin film crystal solar battery by exfoliating the epitaxial layer grown on an Si wafer.

CONSTITUTION: A porous Si layer 303 is formed on an Si wafer 301 by anodic formation, a patterned insulating layer 302 is provided thereon, and an epitaxial Si layer 304 is grown by a selective epitaxial growth method. After the insulating layer 302 has been removed through a void 305, the epitaxial Si layer 304 is separated from the wafer 301 by selectively etching the porous Si layer 303 only. The separated Si 304 is fixed to a metal substrate, and a solar battery is formed. As a result, a thin film crystal solar battery of high quality can be obtained.

Data supplied from the esp@cenet database - I2

(51)Int.Cl. ³	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 31/04 21/20		9171-4M 7376-4M 7376-4M	H 0 1 L 31/ 04	A X

審査請求 未請求 請求項の数8(全 11 頁)

(21)出願番号	特願平4-16520	(71)出願人	000001007 キャノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成4年(1992)1月31日	(72)発明者	西田 彰志 東京都大田区下丸子3丁目30番2号キャノン株式会社内
		(72)発明者	坂口 清文 東京都大田区下丸子3丁目30番2号キャノン株式会社内
		(72)発明者	米原 隆夫 東京都大田区下丸子3丁目30番2号キャノン株式会社内
		(74)代理人	弁理士 丸島 儀一

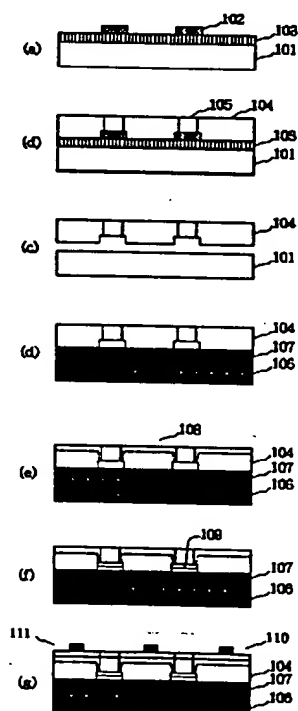
(54)【発明の名称】 太陽電池の製造方法及び該方法で得られる太陽電池

(57)【要約】

【目的】 Siウエハ上に成長させたエピタキシャル層を剝離して薄膜結晶太陽電池を得る方法を提供する。

【構成】 Siウエハ301上に陽極化成により多孔質Si層303を形成し、その上にパターンニングした絶縁層302を設け、選択的エピタキシャル成長法によりエピタキシャルSi層304を成長させ、空隙305を通して絶縁層302を除去した後に選択的エッチングにより多孔質Si層303のみをエッチングすることによりエピタキシャルSi層304をウエハ301より分離する。分離したSi層304は金属基板上に固着して太陽電池を形成する。

【効果】 高品質な薄膜結晶太陽電池が得られる。



【特許請求の範囲】

【請求項1】 シリコンウエハ上に成長させたエピタキシャル膜を用いた太陽電池の製造方法において、

i) 前記ウエハの片側表面に陽極化成により多孔質層を形成する工程と、

i i) 前記多孔質層上に絶縁層を形成してパターンニングにより該絶縁層の一部のみを残して基板を作製する工程と、

i i i) 選択的エピタキシャル成長法により前記基板の前記絶縁層以外の多孔質上にシリコン層を成長させる工程と、

i v) 前記シリコン層の表面に半導体接合を形成する工程と、

v) 前記絶縁層上に形成される空隙を通して前記絶縁層及び多孔質層をエッチングにより除去して前記シリコン層を基板より分離する工程とを含むことを特徴とする太陽電池の製造方法。

【請求項2】 前記半導体接合が不純物導入により形成される請求項1に記載の太陽電池の製造方法。

【請求項3】 前記不純物導入がイオン打ち込みまたは熱拡散を用いて行われる請求項1あるいは請求項2に記載の太陽電池の製造方法。

【請求項4】 前記不純物導入が前記のシリコン層の成長中に同時に行われる請求項1あるいは請求項2に記載の太陽電池の製造方法。

【請求項5】 i) シリコンウエハの片側表面に陽極化成により多孔質層を形成する工程と、

i i) 前記多孔質層上に絶縁層を形成してパターンニングにより該絶縁層の一部のみを残して基板を作製する工程と、

i i i) 選択的エピタキシャル成長法により前記基板の前記絶縁層以外の多孔質上にシリコン層を成長させる工程と、

i v) 前記シリコン層の表面に半導体接合を形成する工程と、

v) 前記絶縁層上に形成される空隙を通して前記絶縁層及び多孔質層をエッチングにより除去して前記シリコン層を基板より分離する工程とを経て得られたことを特徴とする太陽電池。

【請求項6】 前記半導体接合が不純物導入により形成された請求項5に記載の太陽電池。

【請求項7】 前記不純物導入がイオン打ち込みまたは熱拡散を用いて行われた請求項5あるいは請求項6に記載の太陽電池。

【請求項8】 前記不純物導入が前記のシリコン層の成長中に同時に行われた請求項5あるいは請求項6に記載の太陽電池。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は太陽電池の製造方法及び

太陽電池に関する。特にエネルギー変換効率が良好な太陽電池の製造方法及び太陽電池に関する。

【0002】

【従来の技術】 各種機器において、駆動エネルギー源として太陽電池が利用されている。

【0003】 太陽電池は機能部分にp n接合を用いており、該p n接合を構成する半導体としては一般にシリコンが用いられている。半導体として使用されるシリコンの形態には単結晶、多結晶およびアモルファスがある。大面積化および低コスト化の点からはアモルファスシリコンが有利とされているが、光エネルギーを起電力に変換する効率や安定性の点からは、単結晶シリコンを用いるのが好ましい。

【0004】 近年においては、アモルファスシリコンなみの低コストと単結晶シリコンなみの高エネルギー変換効率とを得る目的で多結晶シリコンの使用が検討されている。ところが、従来提案されている方法は単結晶シリコンの場合と全く同様に塊状の多結晶をスライスして板状体とし、これを用いるために厚さを0.3mm以下にすることは困難であり、従って光量を十分に吸収するのに必要以上の厚さとなり、この点で材料の有効利用が十分ではなかった。即ちコストを下げるためには十分な薄型化が必要である。最近では熔融したシリコンの液滴を鋳型に流し込むスピン法によりシリコンシートを形成する方法が提案されているが、厚さは最低でも0.1mm～0.2mm程度となり結晶シリコンとして光吸収に必要十分な膜厚(20～50μm)に比べまだ薄型化が十分ではない。

【0005】

30 【発明が解決しようとしている課題】 そこで、いっそのこと単結晶シリコン基板上に成長した薄膜のエピタキシャル層を基板から分離(剝離)して太陽電池に用いることで高エネルギー変換効率と低コスト化を達成する試みが提案されている(Milnes, A. G. and Feucht, D. L., "Peel- ed Film Technology Solar Cells", IEEE Photo-voltaic Specialist Conference, p. 338, 1975)。

【0006】 しかしながら上述の方法では基板となる単結晶シリコンと成長エピタキシャル層との間にSiGeの中間層を挿入させてヘテロエピタキシャル成長させた上に、さらにこの中間層を選択的に熔融させて成長層を剝す必要がある。一般的にヘテロエピタキシャル成長させた場合格子定数が異なるため成長界面で欠陥が誘起されやすい。また異種材料を用いるという点でプロセス・コスト的に有利であると言えない。

【0007】 一方、U. S. Pat. No. 4, 816, 420に開示されている方法、すなわち、マスク材を介して結晶基板上に選択的エピタキシャル成長および横方向成長法によりシート状の結晶を形成した後基板よ

り分離することを特徴とする太陽電池の製造方法により薄型の結晶太陽電池が得られることが示された。

【0008】しかし、上述の方法においてマスク材に設けられる開口部はライン状であり、このラインシードより選択的エピタキシャル成長および横方向成長を用いて成長させたシート状の結晶を分離するには結晶の開を利用して機械的に剥すためにラインシードの形状がある程度の大きさ以上では基板との接地面積が多くなるので剥す途中でシート状結晶の破損を惹き起こしてしまう。特に太陽電池の大面积化を図る場合にはどんなにライン幅を狭くしても（実際的には $1\mu\text{m}$ 前後）ライン長が数 m ～数 cm あるいはそれ以上の大きさになれば致命的な問題となる。

【0009】また上述の方法においてマスク材として SiO_2 を用いて 1000°C の基板温度で選択的エピタキシャル成長および横方向成長によりシリコン薄膜を成長させる例が示されているが、このような高温において成長するシリコン層と SiO_2 との反応によってシリコン層/ SiO_2 界面近傍においてシリコン層側にかなりの積層欠陥（面欠陥）が導入される場合がある。このような欠陥は太陽電池としての特性に多大な悪影響を与える。

【0010】本発明の方法は上記従来技術の持つ欠点を除去し、良質な薄膜単結晶太陽電池の製造方法を提供するものである。

【0011】本発明の目的は単結晶半導体を用いることで高品質な太陽電池を提供することにある。

【0012】また本発明の他の目的はシリコンウェハ上に形成したエピタキシャル層を SiUS 基板等の基板に転写することにより安価な太陽電池を提供することにある。

【0013】

【課題を解決するための手段及び作用】本発明は、上述の従来技術における問題を解決し、上記の目的を達成すべく本発明者らによる鋭意研究の結果完成に至ったものである。すなわち、本発明の太陽電池の製造方法は、シリコンウェハ上に成長させたエピタキシャル膜を用いた太陽電池の製造方法において、i) 前記ウェハの片側表面に陽極化成により多孔質層を形成する工程と、ii) 前記多孔質層上に絶縁層を形成してパターニングにより該絶縁層の一部のみを残して基板を作製する工程と、iii) 選択的エピタキシャル成長法により前記基板の前記絶縁層以外の多孔質上にシリコン層を成長させる工程と、iv) 前記シリコン層の表面に半導体接合を形成する工程と、v) 前記絶縁層上に形成される空隙を通して前記絶縁層及び多孔質層をエッチングにより除去して前記シリコン層を基板より分離する工程とを含むことを特徴とするものである。

【0014】本発明の太陽電池は、i) シリコンウェハの片側表面に陽極化成により多孔質層を形成する工程

と、ii) 前記多孔質層上に絶縁層を形成してパターニングにより該絶縁層の一部のみを残して基板を作製する工程と、iii) 選択的エピタキシャル成長法により前記基板の前記絶縁層以外の多孔質上にシリコン層を成長させる工程と、iv) 前記シリコン層の表面に半導体接合を形成する工程と、v) 前記絶縁層上に形成される空隙を通して前記絶縁層及び多孔質層をエッチングにより除去して前記シリコン層を基板より分離する工程とを経て得られたことを特徴とするものである。

【0015】本発明の主要な技術は図3に示されるようにシリコンウェハの表面を HF 溶液中で陽極化成により多孔質化し、その上に部分的に形成された非核形成面と多孔質表面を用いて行われる選択的エピタキシャル成長によりシリコン層を積層し、非核形成面上の空隙を通して多孔質層を選択的エッチングにより除去することで単結晶シリコン薄膜を形成することにある。

【0016】ここで選択的エピタキシャル成長法の一般的な原理について簡単に説明する。選択的エピタキシャル成長法とは、気相成長法等を用いてエピタキシャル成長を行う場合に、図2(a), (b)に示されるように、シリコンウェハ上に形成された酸化膜などの絶縁層上では核形成が起きないような条件で絶縁層以外の露出したシリコン表面を種結晶としてエピタキシャル成長を行う選択的結晶成長法である。

【0017】陽極化成による多孔質シリコンの形成には陽極反応に正孔が必要であり、そのため主に正孔の存在する p 型シリコンで多孔質化が行なわれるとされている(T. Unagami, J. Electrochem. Soc., vol. 127, 476 (1980))。

【0018】しかし、一方で低抵抗 n 型シリコンであれば多孔質化されるという報告もあり(R. P. Holmstrom and J. Y. Chi, Appl. Phys. Lett., vol. 42, 386 (1983))、 p 型 n 型の別を問わず低抵抗シリコンで多孔質化が可能である。単結晶シリコンを陽極化成して得られた多孔質シリコンは、透過電子顕微鏡の観察によると数百 \AA 程度の径の孔が形成されており、その密度は単結晶シリコンの半分以下になる。にもかかわらず単結晶性は維持されており、多孔質シリコンの上に LPCVD 法等でエピタキシャル層が成長することは一般によく知られている。さらに多孔質シリコンは上述のようにその内部に大量の空隙が存在し体積に比べて表面積が飛躍的に増大するため、その化学エッチング速度は、通常の単結晶シリコンのエッチング速度に比べて著しく増速される。

【0019】また、通常の結晶シリコンと多孔質シリコンの選択的エッチング液としては従来 NaOH 水溶液のみであり、この NaOH 水溶液を用いた多孔質シリコンの選択的エッチングでは、 Na イオンがエッチング表面に吸着するため不純物汚染をもたらすという問題がある。

【0020】本発明者らは実験を重ね、多孔質シリコン層の上面に部分的に非核形成面となる絶縁層を形成することで絶縁層と多孔質表面を用いて選択的エピタキシャル成長により多孔質表面上のみに単結晶シリコン層が形成出来ること、および絶縁層上の空隙を通して結晶シリコンに対してエッチング作用を持たないフッ酸とアルコールおよび過酸化水素水との混合溶液で多孔質シリコン層のみを選択的にエッチングできることを見出した。その結果、金属基板等の非単結晶基板上に良質な薄膜単結晶シリコン層が転写可能であるという知見を得、本発明の完成に至った。以下に本発明者らの行なった実験について詳述する。

【0021】(実験1) 多孔質シリコンの形成

500 μm の厚みを持った比抵抗0.01 $\Omega \cdot \text{cm}$ のp

型(100)単結晶シリコンウエハをHF水溶液中で陽極化成を行なった。陽極化成条件を表1に示す。

【0022】得られた多孔質シリコン層の表面を透過型電子顕微鏡で観察したところ、平均約600 \AA 径の孔が形成されていた。また高分解能走査型電子顕微鏡で多孔質シリコン層の断面を観たところ、同様に微小な孔が基板に垂直な方向に形成されているのが確認された。また、表1の条件で陽極化成の時間を長くして多孔質シリコン層の厚みを多くし、密度について測定したところ、多孔質シリコン層の密度は1.1 g/cm^3 であることがわかり、単結晶シリコンに比べて約半分となっていた。

【0023】

【表1】

表 1

印加電圧	2.6 V
電流密度	30 mA/cm^2
陽極化成溶液	$\text{HF}:\text{H}_2\text{O}:\text{C}_2\text{H}_5\text{OH}=1:1:1$
時 間	1 min
多孔質層の厚み	2.5 μm

(実験2) 多孔質シリコンを用いた選択的エピタキシャル成長法

実験1で形成したウエハ上の多孔質シリコン層の表面に図3(a)に示すように絶縁層302として熱酸化膜を3000 \AA 形成し、フォトリソグラフィを用いてエッチングを行い、一辺が $a=70 \mu\text{m}$ の正方形にパターンニングして $b=400 \mu\text{m}$ の間隔で設けた。次に通常の減圧CVD法(LPCVD法)により選択的エピタキシャル成長を行なった。原料には SiH_2Cl_2 を用い、キャ

リアガスとして H_2 をさらに絶縁層の酸化膜上での核の発生を抑制するために HCl を添加した。このときの成長条件を表2に示す。

【0024】成長終了後の結晶成長表面の様子を光学顕微鏡および走査型電子顕微鏡により観察したところ、図3(b)のようになっていることが確認された。

【0025】

【表2】

表 2

ガス流量比 l/min	基板温度 $^{\circ}\text{C}$	圧力 Torr	成長時間 min
$\text{SiH}_2\text{Cl}_2/\text{HCl}/\text{H}_2 =$ 0.5/2/100	950	100	40

ここでは平坦な表面が得られており、また成長層の断面を透過型電子顕微鏡で観たところ、良好な結晶性を有する単結晶エピタキシャル層となっているのが確認され

た。また成長前と成長後の基板上方から見た様子をそれぞれ図4(a)、図4(b)に示す。エピタキシャル層が絶縁層上でovergrowthするために空隙の大

きさは絶縁層のそれよりも小さくなっている。

【0026】(実験3) 多孔質シリコンの選択的エッチング

実験1と同じ条件で作製した多孔質シリコンに対するフッ酸とアルコールおよび過酸化水素水との混合溶液によるエッチングについて調べた。

【0027】図5に、多孔質シリコンと単結晶シリコンとを49%フッ酸と100%エチルアルコールと30%過酸化水素水との混合液(10:6:50)に攪拌することなしに浸潤したときのエッチングされた多孔質シリコンと単結晶シリコンの厚みの時間依存性を示す。多孔質シリコンと単結晶シリコンのエッチング開始前の厚さはそれぞれ300 μ m、500 μ mであった。

【0028】多孔質シリコンと単結晶シリコンとを上記混合液に室温で浸潤して厚みの減少を測定したところ、多孔質シリコンは急速にエッチングされ、40分程で107 μ m、更に80分経過で244 μ mもエッチングされた。このような高いエッチング速度にも関わらず、エッチング後の表面は非常に平坦であった。これに対し、単結晶シリコンでは120分経過後でもエッチングされた厚さは50Å以下であり、ほとんどエッチングされないことが明かとなった。

【0029】(実験4) 絶縁層および多孔質層除去によるエビタキシャル膜の分離

実験2で得られた多孔質シリコン304上にエビタキシャル膜305の成長したウエハをHF水溶液中に浸し空隙303を通じて絶縁層である酸化膜302をエッチングして除去した(図3(c))。次にウエハを上記と同じ混合エッチング液に浸潤して放置したところ、空隙303を通して多孔質シリコンのみが選択的にエッチングされ、エビタキシャル膜305がウエハから分離された(図3(d))。水洗/乾燥後にエビタキシャル表面(多孔質層に面していた側)の様子を高分解能走査型電子顕微鏡で観察したところ、非常に表面の平坦な単結晶シリコン層が約13 μ mの厚さで形成されていた。また、ウエハの表面(多孔質層に面していた側)を同様に観たところ、やはり非常に平坦であった。

【0030】(実験5) 太陽電池の形成

実験1乃至4の結果を基にして太陽電池を作製した。実験1と同様にして表1の条件でシリコンウエハ上に多孔質シリコン層を形成した。多孔質シリコンの表面に絶縁層として熱酸化膜を3000Å形成し、一辺が $a=70\mu$ mの正方形にパターンニングして $b=400\mu$ mの間隔で設けた。次に通常のLPCVD装置により選択的エビタキシャル成長を表2の条件で行なった。実験4と同様にしてウエハをHF水溶液中に浸し空隙を通じて酸化膜を除去し、さらにフッ酸/エチルアルコール/過酸化水素水の混合液に浸潤して多孔質シリコンを選択的にエッチングし、ウエハとエビタキシャル膜を分離した。分離したエビタキシャル薄膜を洗浄/乾燥させた後に、金属

基板(Cr基板)上に置き、 N_2 中600℃でアニールして金属(Cr)とエビタキシャル層との界面にシリサイド層を形成して金属基板上にエビタキシャル層を固着させた。

【0031】次に O_2 雰囲気中で900℃に保ち、エビタキシャル層の表面およびエビタキシャル層の空隙内に露出している金属(Cr)の表面を同時に酸化した。HF水溶液でエビタキシャル層表面の酸化膜のみをエッチングし、シリコン面を露出させた。

【0032】次にエビタキシャル層の表面にPを50KeV、 $1\times 10^{15}cm^{-2}$ でイオン打ち込みを行い、550℃、1hour/800℃、30min/550℃、1hourの条件で連続アニールして不純物の活性化およびイオン打ち込みによるダメージの回復を行い、接合を形成した。最後にエビタキシャル層表面に透明導電膜および集電電極を真空蒸着して太陽電池を作製した。

【0033】このようにして多孔質上に成長させたエビタキシャル薄膜をウエハから分離して形成した太陽電池のAM1.5(100mW/cm²)光照射下での電流-電圧特性(I-V特性)について測定を行ったところ、セル面積6cm²で開放電圧0.56V、短絡光電流30mA/cm²、曲線因子0.74、変換効率12.4%となり、良好な結晶太陽電池が得られた。

【0034】本発明の特徴は多孔質層を形成するウエハの再利用が可能であり、コスト的に有利であるという点である。

【0035】本発明に使用される多孔質シリコン層を形成するための陽極化成法にはフッ酸溶液が用いられ、HF濃度が10%以上で多孔質化が可能となる。陽極化成時に流す電流の量としてはHF濃度や所望とされる多孔質層の厚み等によって適宜決められるが、大体数mA/cm²—数十mA/cm²の範囲が適当である。またHF溶液にエチルアルコール等のアルコールを添加することにより、陽極化成時に発生する反応生成気体の気泡を瞬時に攪拌することなく反応表面から除去でき、均一にかつ効率よく多孔質シリコンを形成することができる。添加するアルコールの量はHF濃度や所望とする多孔質層の厚さによって適宜決められ、特にHF濃度が低くなりすぎないように注意して決める必要がある。

【0036】本発明において使用される多孔質シリコンの選択エッチング液としてはフッ酸とアルコールと過酸化水素水との混合液が用いられる。特に、過酸化水素水を添加することでシリコンの酸化を増速し、従って反応速度を無添加に比べて増速することが可能で、過酸化水素水の比率を変えることにより反応速度を制御することができる。またエチルアルコール等のアルコールを添加することによってエッチングによる反応生成気体の気泡を、攪拌することなく瞬時にエッチング表面から除去でき、均一にかつ効率よく多孔質シリコンをエッチングできる。エッチング液の各溶液濃度およびエッチング時の

温度の条件は、多孔質シリコンのエッチング速度および多孔質シリコンと通常の単結晶シリコンとのエッチングの選択比が製造工程等で実用上差し支えない範囲、かつ上記アルコールの効果が損なわれない範囲において適宜決められる。

【0037】本発明において多孔質シリコン上に設けられる非核形成面となる絶縁層の材質としてはエピタキシャル層成長中に核発生を抑制する点からその表面での核形成密度がシリコンのそれに比べてかなり小さいような材質が用いられる。例えば、 SiO_2 、 Si_3N_4 等が代表的なものとして使用される。また絶縁層の厚さについては特に規定はないが、 $0.1 \sim 1 \mu\text{m}$ の範囲とするのが適当である。

【0038】本発明における多孔質シリコン上に設けられる非核形成面の形状にはとくに規定はなく、どのような形でもよいが、正方形の場合には辺の長さとしては成長させるエピタキシャル層の厚さによって適宜きめられるが $a = 30 \sim 300 \mu\text{m}$ が適当である。非核形成面の配置の仕方としては特に規定はないが格子点状が代表的なものとして挙げられる。非核形成面を配置する間隔(周期)としては非核形成面となる絶縁層の厚さおよびエピタキシャル層の厚さによって適宜きめられるが、大体 $b = 50 \mu\text{m} \sim 5 \text{mm}$ の範囲とするのが適当である。

【0039】非核形成面となる絶縁層の形成法としては例えば、 SiO_2 については熱酸化法、常圧CVD法等が、また Si_3N_4 についてはLPCVD法、プラズマCVD法等が用いられる。

【0040】本発明に使用される選択的エピタキシャル成長法にはLPCVD法、スパッタ法、プラズマCVD法、光CVD法または液相成長法等がある。例えば、LPCVD法、プラズマCVD法または光CVD法等の気相成長法の場合に使用される原料ガスとしては SiH_2Cl_2 、 SiCl_4 、 SiHCl_3 、 SiH_4 、 Si_2H_6 、 SiH_2F_2 、 Si_2F_6 等のシラン類およびハロゲン化シラン類が代表的なものとして挙げられる。またキャリアガスとしてあるいは結晶成長を促進させる還元雰囲気を得る目的で前記の原料ガスに加えて H_2 が添加される。前記原料ガスと水素との量の割合は形成方法および原料ガスの種類さらに形成条件により適宜所望に従って決められるが、好ましくは $1:10$ 以上 $1:1000$ 以下(導入流量比)が適当であり、より好ましくは $1:20$ 以上 $1:800$ 以下とするのが望ましい。

【0041】また前記気相成長法において、絶縁層上での核の発生を抑制する目的で HCl が用いられるが、原料ガスに対する HCl の添加量は形成方法および原料ガスの種類や絶縁層の材質、さらに形成条件により適宜所望に従って決められるが、概ね $1:0.1$ 以上 $1:100$ 以下が適当であり、より好ましくは $1:0.2$ 以上 $1:80$ 以下とされるのが望ましい。

【0042】液相成長法を用いる場合には H_2 あるいは

N_2 雰囲気中で Ga 、 In 、 Sb 、 Bi 、 Sn 等の溶媒中に Si を溶解させて溶媒を徐冷あるいは溶媒中に温度差をつけることによりエピタキシャル成長を行う。溶媒として Sn を用いると、得られる結晶は電氣的に中性であり、成長後にあるいは成長中に適宜所望の不純物を添加することで所望のドーピング濃度で伝導型を決定することができる。

【0043】また本発明で使用される選択的エピタキシャル成長法における温度および圧力としては、形成方法および使用する原料ガスの種類、原料ガスと H_2 との流量比等の形成条件によって異なるが、温度については例えば通常のLPCVD法では概ね 600°C 以上 1250°C 以下が適当であり、より好ましくは 650°C 以上 1200°C 以下に制御されるのが望ましい。液相成長法の場合には溶媒の種類によるが Sn を用いる場合には 850°C 以上 1050°C 以下に制御されるのが望ましい。またプラズマCVD法等の低温プロセスでは概ね 200°C 以上 600°C 以下が適当であり、より好ましくは 200°C 以上 500°C 以下に制御されるのが望ましい。

【0044】同様に圧力については概ね $10^{-2} \text{ Torr} \sim 760 \text{ Torr}$ が適当であり、より好ましくは $10^{-1} \text{ Torr} \sim 760 \text{ Torr}$ の範囲が望ましい。

【0045】本発明の太陽電池の製造方法においてエピタキシャル膜を転写させる金属基板材料としては導電性が良好でシリコンとシリサイド等の化合物を形成する任意の金属が用いられ、代表的なものとして W 、 Mo 、 Cr 等が挙げられる。もちろん、それ以外であっても表面に上述の性質を有する金属が付着しているものであれば何でもよく、従って金属以外の安価な基板も使用可能である。シリサイド層の厚さについては特に規定はないが $0.01 \sim 0.1 \mu\text{m}$ とするのが望ましい。

【0046】また本発明の太陽電池の製造法において形成する接合の深さとしては導入される不純物の量にもよるが $0.05 \sim 3 \mu\text{m}$ の範囲とするのが適当であり、好ましくは $0.1 \sim 1 \mu\text{m}$ とするのが望ましい。

【0047】

【実施例】以下、具体的な実施例を挙げて本発明をより詳細に説明するが、本発明はこれらの実施例により何ら限定されるものではない。

【0048】実施例1

前述したように、実験1～5と同様にして図1に示すプロセスによりエピタキシャルシリコン薄膜太陽電池を製作した。

【0049】 $500 \mu\text{m}$ 厚のp型(100)シリコンウエハ101($\rho = 0.01 \Omega \cdot \text{cm}$)に HF 水溶液中で表3の条件で陽極化成を行ない、ウエハ101を多孔質化し多孔質シリコン層103を形成した(図1(a))。

【0050】多孔質シリコン層103表面に通常の常圧CVD装置により絶縁層として SiO_2 を 4000 \AA 厚

積し、ウェットエッチングを行なって一辺が $a = 120 \mu\text{m}$ の正方形にパターンニングし、 $b = 600 \mu\text{m}$ の間隔で格子点状に絶縁層 102 を設けた (図 1 (a))。

【0051】

【表 3】

表 3

印加電圧	2.6 V
電流密度	30 mA/cm ²
陽極化成溶液	HF:H ₂ O:C ₂ H ₅ OH=1:1:1
時 間	2 min
多孔質層の厚み	5 μm

【0052】LPCVD装置により表4の形成条件で選択エピタキシャル成長を行いエピタキシャルシリコン層 104 を膜厚約 $50 \mu\text{m}$ で形成した (図 1 (b))。

【0053】

【表 4】

表 4

ガス流量比 (l/min)	基板温度 (°C)	圧力 (Torr)	成長時間 (min)
SiH ₄ Cl ₄ /HCl/H ₂ = 0.5/1.6/100	950	100	40

【0054】実験4、5と同様にしてウエハをHF水溶液に浸し空隙を通してSiO₂絶縁層102を除去し、さらに49%フッ酸と100%アルコールと30%過酸化水素水との混合溶液(10:6:50)に浸潤させて多孔質層103の選択的エッチングを行なった(図1(c))。分離したエピタキシャル層104をCrを蒸着したSUS基板101上に置き、実験5と同様なアニール処理によりCr面とエピタキシャル層との界面にシリサイド層107を形成してエピタキシャル層104を基板に固定した(図1(d))。次にエピタキシャル層104の表面にPOCl₃を拡散源として900℃の温度でPの熱拡散を行ってn⁺層108を形成し、0.5 μm 程度の接合深さを得た(図1(e))。形成されたn⁺層108表面のデッド層をウェット酸化後、エッチングにより除去し、約0.2 μm の適度な表面濃度をもった接合深さを得た。このときのウェット酸化工程でエピタキシャル層の空隙内に露出しているCrの表面も酸化され絶縁層109が形成される(図1(f))。

【0055】最後にEB(Electron Beam)蒸着によりITO透明導電膜(820Å)/集電電

極(Cr/Ag/Cr(200Å/1 μm /400Å))をn⁺層上に形成した(同図(h))。

【0056】このようにして得られた薄膜結晶シリコン太陽電池についてAM1.5(100mW/cm²)光照射下でのI-V特性について測定したところ、セル面積6cm²で開放電圧0.58V、短絡光電流32mA/cm²、曲線因子0.75となり、エネルギー変換効率13.9%を得た。このようにウエハから分離(剝離)したエピタキシャル層を用いて良好な特性を示す薄膜結晶太陽電池が作製出来た。

【0057】実施例2

実施例1と同様にしてp⁺n薄型結晶太陽電池を作製した。500 μm 厚のn型(100)シリコンウエハ101($\rho=0.01\Omega\cdot\text{cm}$)にHF水溶液中で表1の条件で陽極化成を行ない、ウエハ101に多孔質シリコン層103を形成した。

【0058】LPCVD装置を用いてSi₃N₄を3000Å堆積し、RIE(Reactive Ion Etching)装置を用いて実施例1と同様にして $a=100\mu\text{m}$ 、 $b=500\mu\text{m}$ でSi₃N₄層102をパター

ニングした。

【0059】LPCVD装置により表4の形成条件で選択エピタキシャル成長を行い膜厚約50 μ mのエピタキシャル層104を形成した。

【0060】ウエハを180℃熱燐酸溶液に浸し空隙を通してSi₃N₄を除去し、その後さらに49%フッ酸と100%アルコールと30%過酸化水素水との混合溶液(10:6:50)に浸潤させて多孔質層103の選択的エッチングを行なった。

【0061】0.9mm厚のMo基板101上にウエハ10から分離したエピタキシャル層104を置き、550℃でアニールしてシリサイド層107を形成した。次にエピタキシャル層104の表面にBCl₃を拡散源として950℃の温度でBの熱拡散を行ってp⁺層108を形成し、0.5 μ m程度の接合深さを得た。形成されたp⁺層表面のデッド層をウェット酸化後、エッチングにより除去し、約0.2 μ mの適度な表面濃度をもった接合深さを得た。このときのウェット酸化工程でエピタキシャル層の空隙内に露出しているMoの表面も酸化され絶縁化される。

【0062】最後にEB蒸着によりITO透明導電膜(820Å)/集電電極(Cr/Ag/Cr(200Å/1 μ m/400Å))をp⁺層上に形成した。

【0063】このようにして得られた薄膜結晶シリコン太陽電池についてAM1.5(100mW/cm²)光照射下でのI-V特性について測定したところ、セル面積6cm²で開放電圧0.57V、短絡光電流31.5mA/cm²、曲線因子0.77となり、エネルギー変換効率13.8%を得た。

【0064】実施例3

p⁺ μ c-Si/結晶シリコンヘテロ型太陽電池を作製した。図6(a)～(g)に作製したヘテロ型太陽電池のプロセスを示す。実施例1、2と同様なプロセスによりウエハ601に多孔質シリコン層603を1 μ m形成しその上にSiO₂膜を堆積してa=120 μ m、b=600 μ mでパターニングを行い絶縁層602を形成した。LPCVD法により表4の条件で選択エピタキシャル成長を行い、エピタキシャル層104を積層した。

【0065】ウエハをHF水溶液に浸し空隙を通してSiO₂を除去し、さらに49%フッ酸と100%アルコールと30%過酸化水素水との混合溶液(10:6:50)に浸潤させて多孔質層603の選択的エッチングを行なった。

【0066】分離したエピタキシャル層604をCrを蒸着したSUS基板606上に置き、アニール処理によりCr面とエピタキシャル層との界面にシリサイド層607を形成してエピタキシャル層604を基板606に固定した。さらにO₂雰囲気中でアニールして酸化を行ない、エピタキシャル層の空隙内に露出しているCrの表面を酸化した。エピタキシャル層表面に形成されたSiO₂をエッチングで除去した後、エピタキシャル層604の上に通常のプラズマCVD装置により、表5に示す条件でp型 μ c-Si層609を200Å堆積させた。この時の μ c-Si膜の暗導電率は $\sim 10^1$ S \cdot cm⁻¹であった。

【0067】

【表5】

表 5

ガス流量比	基板温度 ℃	圧力 Torr	放電電力 W
SiH ₄ H ₂ = 1cc/20cc B ₂ H ₆ /SiH ₄ = 2.0 × 10 ⁻³	250	0.5	20

【0068】このようにしてヘテロ型pn接合を形成した後その上に透明導電膜610としてITOを約850Å電子ビーム蒸着し、さらに集電電極(Cr/Ag/Cr(200Å/1 μ m/400Å))611を形成した。

【0069】このようにして得られたp⁺ μ c-Si/結晶シリコンヘテロ型太陽電池のAM1.5光照射下でのI-V特性の測定を行ったところ(セル面積6cm²)、開放電圧0.60V、短絡光電流32mA/cm²、曲線因子0.73となり、変換効率14%という

高い値が得られた。このようにヘテロ接合を用いることによりさらに高い開放電圧が得られる。

【0070】実施例4

図1に示すようなn⁺p型多結晶太陽電池を液相成長法を用いて作製した。実施例1と同様にして500 μ m厚のp型(100)シリコンウエハ($\rho=0.01\Omega\cdot$ cm)101にHF水溶液中で表3の条件で陽極化成を行ない、ウエハ101に多孔質シリコン層103を形成した。この多孔質シリコンの表面に熱酸化によりSiO₂を3000Å形成し、ウェットエッチングを行なって一

辺が $a = 120 \mu\text{m}$ の正方形にパターンニングし、 $b = 600 \mu\text{m}$ の間隔で格子点状に絶縁層102を設けた。【0071】

【表6】

表 6

H ₂ 流量 l/min	溶媒 (Sn) 温度 ℃	徐冷速度 ℃/min
2.0	950 → 900	0.5

【0072】液相成長法により表6の条件で選択的エピタキシャル成長を行い、エピタキシャル層104を約 $45 \mu\text{m}$ 成長させた。このとき溶媒としてSnを用い、成長前に予めSn中にSiを溶解させて飽和させておいてから徐冷を開始し、或程度の過飽和状態となったところでウエハの多孔質層表面をSn溶液に漬け、所定の時間成長を行った。SiO₂に対してSnはぬれ性が悪いのでSiO₂上にはSiは析出せず、極めて高い選択成長性が保たれる。

【0073】ウエハをHF水溶液に浸し空隙を通してSiO₂を除去し、さらに49%フッ酸と100%アルコールと30%過酸化水素水との混合溶液(10:6:50)に浸潤させて多孔質層103の選択的エッチングを行なった。分離したエピタキシャル層104をCrを蒸着したSUS基板101上に置き、アニール処理によりCr面とエピタキシャル層との界面にシリサイド層107を形成してエピタキシャル層を基板に固定した。次に

【0074】最後にEB (Electron Beam) 蒸着によりITO透明導電膜(820Å)110/集電電極(Cr/Ag/Cr(200Å/1μm/400Å))111をn⁺層108上に形成した。

【0075】このようにして得られた薄膜結晶シリコン太陽電池についてAM1.5(100mW/cm²)光照射下でのI-V特性について測定したところ、セル面積4cm²で開放電圧0.58V、短絡光電流31mA/cm²、曲線因子0.75となり、エネルギー変換効率13.5%を得た。

【0076】本発明によれば、ウエハに形成した多孔質シリコン上に成長させた良質なエピタキシャルシリコン

層を非単結晶基板上に転写することができ、これにより従来より高品質で安価な太陽電池が製造できる。

【0077】

【発明の効果】以上述べてきたように、本発明によれば、特性の良好な結晶薄膜太陽電池を金属基板等の非単結晶基板上に形成することが可能である。これにより、

20 量産性のある安価で良質の薄型太陽電池を市場に提供することができる。

【図面の簡単な説明】

【図1】本発明の太陽電池の製造工程を説明するための模式図である。

【図2】選択的エピタキシャル成長法について説明するための模式図である。

【図3】本発明の方法によりエピタキシャルシリコンの薄層がウエハより分離される様子について説明する模式図である。

30 【図4】本発明の方法によりエピタキシャルシリコンの薄層がウエハより分離される様子について説明する模式図である。

【図5】選択的エッチング液でエッチングされた多孔質シリコンと単結晶シリコンの厚みの時間依存性について示したグラフである。

【図6】本発明の方法により作製したp⁺μc-Si/結晶シリコンヘテロ型太陽電池の製造プロセスについて説明するための模式図である。

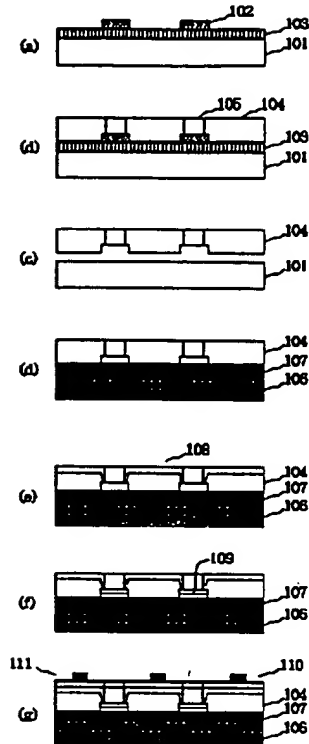
【符号の説明】

40 101, 202, 301, 601 Siウエハ
106, 606 基板
102, 302, 602 絶縁層
103, 303, 603 多孔質シリコン層
104, 203, 304, 604 エピタキシャルシリコン層
108 p⁺層(n⁺層)
609 p⁺μc-Si層
110, 610 透明導電層
111, 611 集電電極
50 105, 305, 605 空隙

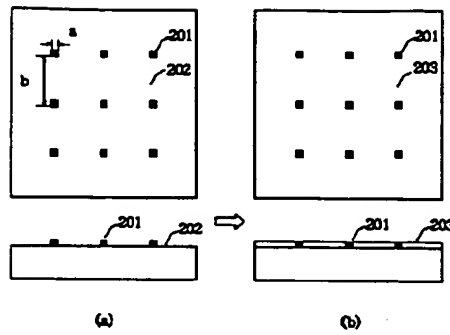
107, 607 金属
109, 608 酸化層

201 非核形成面

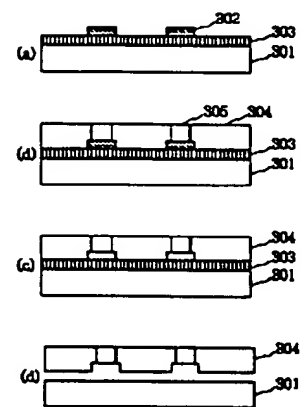
【図1】



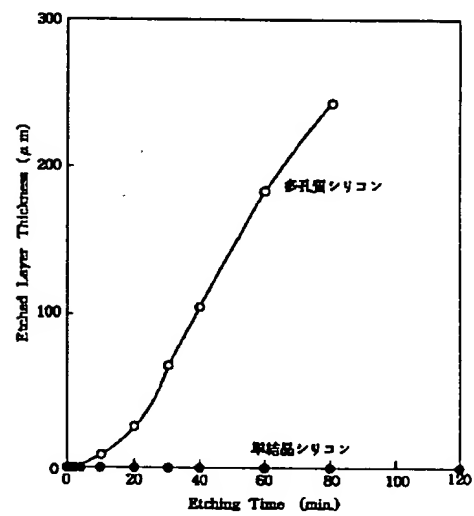
【図2】



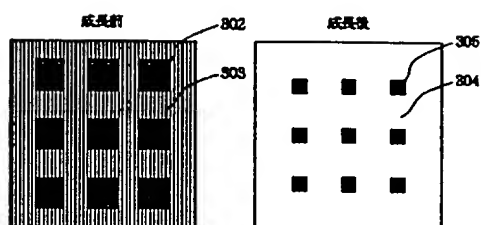
【図3】



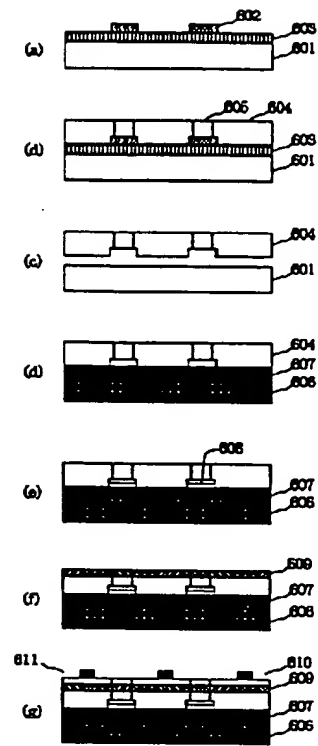
【図5】



【図4】



【図6】



JPA5-283722

[Title of the Invention] Method of Manufacturing Solar Cell
and Solar Cell Obtained by the Method

[Abstract]

[Object] to provide a method of peeling an epitaxial layer
grown on an Si wafer to obtain a thin-film crystal solar cell.

[Constitution] A porous Si layer 303 is formed on an Si
wafer 301 by anodization, an insulation layer 302 is
patterned/formed on the Si wafer, an epitaxial Si layer 304
is grown by a selective epitaxial growth method, and the
insulation layer 302 is removed through voids 305.

Subsequently, the epitaxial Si layer 304 is separated from
the wafer 301 by selectively etching only the porous Si layer
303. The separated Si layer 304 is fixed to a metal
substrate to form a solar cell.

[Effect] A high-quality thin-film crystal solar cell can be
obtained.

[Claims]

[Claim 1] A method of manufacturing a solar cell using an
epitaxial film grown on a silicon wafer, comprising the steps
of:

1) forming a porous layer on one surface of said
wafer by anodization;

11) forming an insulation layer on said porous
layer and leaving only a part of the insulation layer by
patterning to form a substrate;

111) growing a silicon layer on a porous portion

other than said insulation layer of said substrate by a selective epitaxial growth method;

iv) forming a semiconductor junction on a surface of said silicon layer; and

v) removing said insulation layer and the porous layer via voids formed on said insulation layer by etching to separate said silicon layer from the substrate.

[Claim 2] The method of manufacturing the solar cell according to claim 1 wherein said semiconductor junction is formed by introducing impurities.

[Claim 3] The method of manufacturing the solar cell according to claim 1 or 2 wherein said introducing of impurities is performed by ion implantation or using thermal diffusion.

[Claim 4] The method of manufacturing the solar cell according to claim 1 or 2 wherein said introducing of impurities is simultaneously performed during the growth of said silicon layer.

[Claim 5] A solar cell obtained by steps of:

i) forming a porous layer on one surface of a silicon wafer by anodization;

ii) forming an insulation layer on said porous layer and leaving only a part of the insulation layer by patterning to form a substrate;

iii) growing a silicon layer on a porous portion other than said insulation layer of said substrate by a selective epitaxial growth method;

iv) forming a semiconductor junction on a surface of said silicon layer; and

v) removing said insulation layer and the porous layer via voids formed on said insulation layer by etching to separate said silicon layer from the substrate.

[Claim 6] The solar cell according to claim 5 wherein said semiconductor junction is formed by introducing impurities.

[Claim 7] The solar cell according to claim 5 or 6 wherein said introducing of impurities is performed by ion implantation or using thermal diffusion.

[Claim 8] The solar cell according to claim 5 or 6 wherein said introducing of impurities is simultaneously performed during the growth of said silicon layer.

[Detailed Description of the Invention]

[0001]

[Industrial Field] The present invention relates to a method of manufacturing a solar cell and the solar cell, particularly to a method of manufacturing a solar cell excellent in energy conversion efficiency and the solar cell.

[0002]

[Related Art] In various apparatuses, a solar cell is used as a drive energy source.

[0003] In the solar cell, pn junction is used in a functional portion, and silicon is generally used as a semiconductor constituting the pn junction. The silicon used as the semiconductor has a single-crystal, polycrystalline or amorphous form. The amorphous silicon is advantageous in consideration of area enlargement and cost reduction, but the single-crystal silicon is preferably used in consideration of an efficiency of converting optical energy to electromotive force or a safety.

[0004] Recently, the use of polycrystalline silicon has been studied for the purpose of obtaining a low cost like the amorphous silicon and a high energy conversion efficiency like the single-crystal silicon. In a proposed conventional method, however, it is difficult to slice a bulk polycrystal into plates each having a thickness of 0.3 mm or less for use in the same manner as the single-crystal silicon. Therefore, the thickness becomes larger than necessary for absorbing a sufficient amount of light. In this respect, the material is not sufficiently effectively used. Specifically, a sufficient thinning is necessary to lower the cost. Recently, a method has been proposed in which a silicon sheet is formed by spinning method for pouring liquid drops of molten silicon into a mold. The thickness of the crystal silicon is about 0.1 mm to 0.2 mm at minimum, and is not sufficiently smaller as compared with the sufficient film thickness (20 to 50 μm) necessary for light absorption.

[0005]

[Problem to be solved by the Invention] To solve the problem, there is proposed a drastic attempt to obtain a high energy conversion efficiency and low cost by separating (peeling) a grown thin-film epitaxial layer from a single-crystal silicon substrate for use in a solar cell (Milnes, A.G. and Feucht, D.L., "Peeled Film Technology Solar Cells", IEEE Photovoltaic Specialist Conference, p.338, 1975).

[0006] In the method described above, however, it is necessary to insert an intermediate layer of SiGe between the substrate or single-crystal silicon and the grown epitaxial layer for hetero-epitaxial growth, and selectively melt the

intermediate layer to peel the grown layer. In general, in the hetero-epitaxial growth, defects are easily induced in a growth interface because of different grid constants. Moreover, since different materials are used, process cost is not advantageous.

[0007] On the other hand, in a method of manufacturing a solar cell disclosed in U.S. Pat. No. 4,816,420, a sheet-like crystal is formed on a crystal substrate via a mask material by the selective epitaxial growth and lateral growth, and subsequently separated from the substrate, so that a thin crystal solar cell can be obtained.

[0008] In the above method, however, an opening formed in the mask material is linear. When the sheet-like crystal grown from a line seed using the selective epitaxial growth and lateral growth is separated, crystal cleavage is used for mechanical peeling. In this case, if the line seed is relatively large, the contact area with the substrate is enlarged. Therefore, the sheet-like crystal is broken during peeling. Especially, to enlarge the area of the solar cell, even if a line width is narrowed (practically around 1 μm), a critical problem is caused by a line length of several millimeters to several centimeters or more.

[0009] Moreover, in the aforementioned method, for example, SiO_2 is used as the mask material to grow a silicon thin film at a substrate temperature of 1000°C by the selective epitaxial growth and lateral growth, but considerable lamination defects (face defects) may be introduced toward the silicon layer in the vicinity of a silicon layer/ SiO_2 interface by reaction of the silicon layer grown at the high

temperature with SiO_2 . Such defects adversely affect the characteristics of the solar cell.

[0010] The present invention eliminates the shortcomings of the aforementioned prior arts, and provides a method of manufacturing a good-quality thin film single-crystal solar cell.

[0011] An object of the present invention is to provide a high-quality solar cell using a single-crystal semiconductor.

[0012] Another object of the present invention is to provide an inexpensive solar cell by transferring an epitaxial layer formed on a silicon wafer to SUS substrate or another substrate.

[0013]

[Means and Action for solving the Problem] The present invention has been completed as a result of intensive researches by the present inventors et al. to solve the problems in the aforementioned prior arts, and attain the aforementioned objects. Specifically, the present invention provides a method of manufacturing a solar cell using an epitaxial film grown on a silicon wafer, comprising steps of:

- i) forming a porous layer on one surface of the wafer by anodization;
- ii) forming an insulation layer on the porous layer and leaving only a part of the insulation layer by patterning to form a substrate;
- iii) growing a silicon layer on the porous layer other than the insulation layer of the substrate by a selective epitaxial growth method;
- iv) forming a semiconductor junction on a surface of the silicon layer;
- and v) removing the insulation layer and the porous layer via voids formed on the insulation layer by etching to separate

the silicon layer from the substrate.

[0014] The present invention provides a solar cell obtained by steps of: i) forming a porous layer on one surface of a silicon wafer by anodization; ii) forming an insulation layer on the porous layer and leaving only a part of the insulation layer by patterning to form a substrate; iii) growing a silicon layer on the porous layer other than the insulation layer of the substrate by a selective epitaxial growth method; iv) forming a semiconductor junction on a surface of the silicon layer; and v) removing the insulation layer and the porous layer via voids formed on the insulation layer by etching to separate the silicon layer from the substrate.

[0015] In major technique of the present invention, as shown in Fig. 3, the surface of the silicon wafer is made porous in HF solution by anodization, on which the silicon layer is laminated by the selective epitaxial growth using a partially formed non nucleus forming face and porous face. The porous layer is removed via the voids on the non nucleus forming face by selective etching, so that the single-crystal silicon thin film is formed.

[0016] Here, a general principle of the selective epitaxial growth method will briefly be described. In the selective epitaxial growth method, when the epitaxial growth is performed using a gas phase growth process or the like, as shown in Figs. 2(a), (b), the epitaxial growth is performed using the exposed silicon surface other than the insulation layer as a seed crystal on the condition that nucleus formation does not occur on an oxide film or another insulation layer formed on the silicon wafer. This is a

selective crystal growth method.

[0017] In formation of porous silicon by anodization, positive holes are necessary for anodic reaction. Therefore, p-type silicon in which the positive holes exist is mainly made porous (T. Unagami, J. Electrochem. Soc., vol. 127, 476 (1980)).

[0018] On the other hand, it is reported that a low-resistance n-type silicon can be made porous (R.P. Holmstrom and J.Y. Chi, Appl. Phys. Lett., vol. 42, 386 (1983)). The low-resistance silicon can be made porous irrespective of p type or n type. According to observation with a transmission type electronic microscope, holes having a diameter of about hundreds of angstroms are formed in the porous silicon obtained by anodizing the single-crystal silicon, and the density thereof is half or less that of the single-crystal silicon. However, single-crystal properties are maintained. It is generally known that the epitaxial layer is grown on the porous silicon by LPCVD process or the like. Furthermore, since a large amount of voids exist inside the porous silicon as described above, and the surface area is dramatically increased as compared with the volume, the chemical etching rate is remarkably increased as compared with the ordinary single-crystal silicon etching rate.

[0019] Moreover, only aqueous NaOH is used as a selective etching liquid of an ordinary crystal silicon and porous silicon. In the selective etching of the porous silicon using the aqueous NaOH, Na ions are adsorbed by an etched surface, which disadvantageously causes contamination by impurities.

[0020] The present inventors et al. have conducted experiments, and have found that when the insulation layer as the non nucleus forming face is partially formed on the top surface of the porous layer, the single-crystal silicon layer can be formed only on the porous surface by the selective epitaxial growth using the insulation layer and porous surface, and that only the porous silicon layer can selectively be etched with a mixture solution of hydrofluoric acid, alcohol and hydrogen peroxide having no etching action on the crystal silicon via the voids on the insulation layer. As a result, it has been recognized that a good-quality thin-film single-crystal silicon layer can be transferred on the metal substrate or another non single-crystal substrate, and the present invention has been completed. The experiments conducted by the present inventors et al. will be described hereinafter in detail.

[0021] (Experiment 1) Formation of Porous Silicon

A p-type (100) single-crystal silicon wafer having a thickness of 500 μm and a specific resistance $0.01 \Omega\cdot\text{cm}$ was anodized in aqueous HF solution. Anodization conditions are shown in Table 1.

[0022] When a surface of an obtained porous silicon layer was observed with a transmission type electronic microscope, holes having an average diameter of about 600 angstroms were formed. Moreover, when a section of the porous silicon layer was observed with a high resolution scanning type electronic microscope, it was confirmed that micro holes were similarly formed vertically to the substrate. Furthermore, for the conditions of Table 1, when an anodization time was

lengthened, the porous silicon layer thickness was increased, and a density was measured, the density of the porous silicon layer was 1.1 g/cm^3 or about half that of the single-crystal silicon.

[0023]

[Table 1]

APPLIED VOLTAGE	2.6 V
CURRENT DENSITY	30 mA/cm^2
ANODIZATION SOLUTION	$\text{HF:H}_2\text{O:C}_2\text{H}_5\text{OH}=1:1:1$
TIME	1 min
POROUS LAYER THICKNESS	$2.5 \text{ }\mu\text{m}$

(Experiment 2) Selective Epitaxial Growth Method using Porous Silicon

As shown in Fig. 3(a) a thermally oxide film of 3000 angstroms was formed as an insulation layer 302 on the surface of the porous silicon layer on the wafer formed in Experiment 1, etching was performed using photolithography, patterning was performed in a square having a side $a=70 \text{ }\mu\text{m}$, and the layers were arranged at an interval $b=400 \text{ }\mu\text{m}$. Subsequently, the selective epitaxial growth was performed by an ordinary low pressure CVD process (LPCVD process). Used as a raw material was SiH_2Cl_2 . Furthermore, H_2 as a carrier gas and HCl for suppressing nucleus generation on the oxide film of the insulation layer were applied. Growth conditions are shown in Table 2.

[0024] After the growth was completed, a state of a crystal growth surface was observed with an optical microscope and scanning type electronic microscope, and the state was

confirmed as shown in Fig. 3(b).

[0025]

[Table 2]

GAS FLOW RATE	SUBSTRATE TEMPERATURE	PRESSURE	GROWTH TIME
l/min	°C	Torr	min
SiH ₂ Cl ₂ /HCl/H ₂ = 0.5/2/100	950	100	40

Here a smooth surface was obtained. Moreover, when observing the section of a growth layer with the transmission type electronic microscope, a single-crystal epitaxial layer having excellent crystal properties was confirmed. States as seen from above the substrate before and after the growth are shown in Figs. 4(a), 4(b). Since the epitaxial layer overgrows on the insulation layer, a magnitude of the void is smaller than that of the insulation layer.

[0026] (Experiment 3) Selective Etching of Porous Silicon

The etching of the porous silicon prepared on the same condition as that of Experiment 1 by the mixture solution of hydrofluoric acid, alcohol and hydrogen peroxide was checked.

[0027] Fig. 5 shows dependence of a thickness of the porous silicon or the single-crystal silicon on time, when the porous silicon or the single-crystal silicon was impregnated with the mixture liquid (10:6:50) of 49% hydrofluoric acid, 100% ethyl alcohol and 30% hydrogen peroxide without being stirred. The thickness of the porous silicon or the single-crystal silicon before the etching was 300 μm , 500 μm .

[0028] The porous silicon or the single-crystal silicon was impregnated with the mixture liquid. and a decrease in

thickness was measured. The porous silicon was quickly etched: 107 μm in about 40 minutes; further 244 μm in 80 minutes. Although the etching rate was high, an etched surface was flat. On the other hand, the single-crystal silicon was etched by a thickness of 50 angstroms or less even after 120 minutes elapsed, and it was hardly etched.

[0029] (Experiment 4) Separation of Epitaxial Film by removing Insulation Layer and Porous Layer

The wafer with an epitaxial film 305 grown on a porous silicon 304 obtained in Experiment 2 was immersed in aqueous HF solution, and the insulation layer or oxide film 302 was etched and removed via voids 303 (Fig. 3(c)). Subsequently, the wafer was immersed in the same mixture etching liquid as described above and left to stand. Then, only the porous silicon was selectively etched via the voids 303, and the epitaxial film 305 was separated from the wafer (Fig. 3(d)). After rinsing/drying, the state of an epitaxial surface (facing the porous layer) was observed with the high-resolution scanning type electronic microscope, and the single-crystal silicon layer having a very flat surface was formed in a thickness of about 13 μm . Moreover, the surface (facing the porous layer) of the wafer was observed in the same manner, it was also very flat.

[0030] (Experiment 5) Formation of Solar Cell

A solar cell was prepared based on results of Experiments 1 to 4. A porous silicon layer was formed on a silicon wafer on the conditions of Table 1 in the same manner as Experiment 1. A thermally oxide film of 3000-angstroms was formed as an insulation layer on a porous silicon surface,

patterning was performed in a square having a side $a=70\text{ }\mu\text{m}$, and the layers were arranged at an interval $b=400\text{ }\mu\text{m}$. Subsequently, selective epitaxial growth was performed on the conditions of Table 2 by an ordinary LPCVD device. The wafer was immersed in aqueous HF solution in the same manner as Experiment 4, an oxide film was removed through voids, the wafer was further immersed in the mixture liquid of hydrofluoric acid/ethyl alcohol/hydrogen peroxide to selectively etch the porous silicon, and the wafer and epitaxial film were separated. After the separated epitaxial thin film was cleaned/dried, it was placed on a metal substrate (Cr substrate), and annealed in N_2 at 600°C . A silicide layer was formed on an interface of metal (Cr) and epitaxial layer, and the epitaxial layer was fixed onto the metal substrate.

[0031] Subsequently, an epitaxial layer surface and a metal (Cr) surface exposed in the voids of the epitaxial layer were simultaneously oxidized in an atmosphere of O_2 at 900°C . Only the oxide film on the surface of the epitaxial layer was etched in the aqueous HF solution to expose a silicon surface.

[0032] Subsequently, ions were implanted into the epitaxial layer surface at 50 KeV , $1\times 10^{15}\text{ cm}^{-2}$, and continuous annealing was performed at 550°C for one hour, 800°C for 30 min. and 550°C for one hour to activate impurities and recover damages by the ion implantation, so that junction was formed. Finally, a transparent conductive film and current collector electrode were vacuum-deposited on the epitaxial layer surface to prepare the solar cell.

[0033] For the solar cell prepared by separating the

epitaxial thin film grown on the porous layer from the wafer as described above, when current-voltage characteristics (I-V characteristics) were measured under AM 1.5 (100 mW/cm^2) light irradiation, at a cell area of 6 cm^2 , an open voltage was 0.56 V, short-circuit photoelectric current was 30 mA/cm^2 , curve factor was 0.74, and conversion efficiency was 12.4%. An excellent crystal solar cell was obtained.

[0034] The present invention is characterized in that the wafer for forming the porous layer can be reused, and is cost effective.

[0035] A hydrofluoric acid solution is used in the anodization method for forming the porous silicon layer for use in the present invention, and porosity can be obtained at HF concentration of 10% or more. An amount of electric current flowing during the anodization is appropriately determined by HF concentration, desired porous layer thickness, and the like, but preferably in the range of about several mA/cm^2 to several dozens of mA/cm^2 . Moreover, when ethyl alcohol or another alcohol is applied to HF solution, air bubbles of reaction product gas generated during the anodization can momentarily be removed from a reaction surface without being stirred. The porous silicon can be formed uniformly and efficiently. An amount of applied alcohol is appropriately determined by HF concentration, desired porous layer thickness, and the like, but needs to be determined particularly not to excessively lower the HF concentration.

[0036] The mixture liquid of hydrofluoric acid, alcohol and hydrogen peroxide is used as the selective etching liquid of

the porous silicon for use in the present invention. Especially, silicon oxidation is accelerated by applying the hydrogen peroxide. In this case, reaction rate can be increased as compared with when no hydrogen peroxide is applied, and can be controlled by changing the ratio of hydrogen peroxide. Moreover, when ethyl alcohol or another alcohol is applied, air bubbles of reaction product gas by etching can momentarily be removed from an etched surface without being stirred, and the porous silicon can be etched uniformly and efficiently. Each solution concentration of the etching liquid and temperature conditions during etching are appropriately determined in a range in which the etching rate of porous silicon and the etching selection ratio of porous silicon to ordinary single-crystal silicon do not cause any practical problem in manufacture processes, and in a range in which the alcohol effect is prevented from being impaired.

[0037] In the present invention, as a material of the insulation layer forming the non nucleus forming face on the porous silicon, a material remarkably smaller in nucleus forming density than silicon is used because nucleus generation needs to be suppressed during epitaxial layer growth. For example, SiO_2 , Si_3N_4 or the like is typically used. Moreover, an insulation layer thickness is not especially limited, but is preferably in the range of 0.1 to 1 μm .

[0038] The non nucleus forming face on the porous silicon in the present invention is not especially limited and is of any shape. When it is square, however, a side length is

appropriately determined by the thickness of the epitaxial layer to be grown, and preferably in the range of $a=30$ to $300\text{ }\mu\text{m}$. The arrangement of non nucleus forming faces is not especially limited, but a grid point arrangement is a typical example. An interval (cycle) of arranging the non nucleus forming faces is appropriately determined by the thickness of the insulation layer as the non nucleus forming face and the thickness of the epitaxial layer, and preferably in the range of $b=50\text{ }\mu\text{m}$ to 5 mm .

[0039] Examples of a method for forming the non nucleus forming face or insulation layer include a thermal oxidation method, normal pressure CVD method and the like for SiO_2 , and LPCVD method, plasma CVD method and the like for Si_3N_4 .

[0040] Examples of selective epitaxial growth method for use in the present invention include LPCVD, sputtering, plasma CVD, optical CVD, liquid phase growth method and the like. Examples of material gas for use in LPCVD, plasma CVD, optical CVD and another gas phase growth method include SiH_2 , Cl_2 , SiCl_4 , SiHCl_3 , SiH_4 , Si_2H_6 , SiH_2F_2 , Si_2F_6 or other silanes, silane halides and the like. Moreover, H_2 is added to the material gas as a carrier gas or for the purpose of obtaining a reducing atmosphere promoting the crystal growth. An amount proportion of the material gas and hydrogen is appropriately determined by a forming method, material gas type and forming conditions, but preferably in the range of $1:10$ to $1:1000$ (introduction flow rate), more preferably $1:20$ to $1:800$.

[0041] Furthermore in the gas phase growth method, HCl is used to suppress the nucleus generation on the insulation

layer. The application amount of HCl to the material gas is appropriately determined by the forming method, material gas type, insulation layer material and forming conditions, preferably in the range of 1:0.1 to 1:100, more preferably 1:0.2 to 1:80.

[0042] In the liquid phase growth method, Si is dissolved in solvent of Ga, In, Sb, Bi, Sn or the like in H₂ or N₂ atmosphere, and the solvent is slow cooled or a temperature difference is made in the solvent, so that the epitaxial growth is performed. When Sn is used as the solvent, obtained crystal is electrically neutral, and conductive type can be determined at a desired doping concentration by appropriately applying desired impurities after or during the growth.

[0043] Moreover, the temperature and pressure in the selective epitaxial growth method for use in the present invention differ with the forming method, used material gas type, flow ratio of material gas and H₂ and other forming conditions but, for example, in the ordinary LPCVD method the temperature is preferably controlled in the range of 600°C to 1250°C, more preferably 650°C to 1200°C. In the liquid phase growth method, the temperature differs with solvent type, but is preferably controlled in the range of 850°C to 1050°C when Sn is used. Moreover, in the plasma CVD method or another low temperature process, the temperature is preferably controlled in the range of 200°C to 600°C, more preferably 200°C to 500°C.

[0044] Similarly, the pressure is preferably in the range of 10⁻² Torr to 760 Torr, more preferably 10⁻¹ Torr to 760 Torr.

[0045] In the method of manufacturing the solar cell of the present invention, a metal substrate material to which the epitaxial film is transferred may be any arbitrary metal having an excellent conductivity and forming a compound of silicon, silicide or the like, such as W, Mo, Cr and the like. Of course, any other material may be used as long as the metal having the mentioned properties sticks to the surface. Therefore, an inexpensive substrate other than metal can be used. A thickness of silicide layer is not especially limited, but preferably in the range of 0.01 to 0.1 μm .

[0046] Moreover, in the method of manufacturing the solar cell of the present invention, a depth of formed junction varies with the amount of introduced impurities, but is preferably in the range of 0.05 to 3 μm , more preferably 0.1 to 1 μm .

[0047]

[Embodiment] The present invention will be described hereinafter in more detail by illustrating embodiments, but the present invention is not limited to the embodiments.

[0048] Example 1

As described above, an epitaxial silicon thin-film solar cell was prepared in a process shown in Fig. 1 in the same manner as Experiments 1 to 5.

[0049] Anodization was performed on a p-type (100) silicon wafer 101 with a thickness of 500 μm ($\rho=0.01\Omega\cdot\text{cm}$) in aqueous HF solution on conditions of Table 3, and the wafer 101 was made porous to form a porous silicon layer 103 (Fig. 1(a)).

[0050] An insulation layer or SiO_2 of 4000 angstroms was deposited on a surface of porous silicon layer 103 by an

ordinary normal-pressure CVD device, wet etching was performed to pattern a square having a side $a=120\text{ }\mu\text{m}$, and insulation layers 102 were formed in grid points at an interval $b=600\text{ }\mu\text{m}$ (Fig. 1(a)).

[0051]

[Table 3]

APPLIED VOLTAGE	2.6 V
CURRENT DENSITY	30 mA/cm ²
ANODIZATION SOLUTION	HF:H ₂ O:C ₂ H ₅ OH=1:1:1
TIME	2 min
POROUS LAYER THICKNESS	5 μm

[0052] Selective epitaxial growth was performed on forming conditions of Table 4 by an LPCVD device to form an epitaxial silicon layer 104 in a thickness of about $50\text{ }\mu\text{m}$ (Fig. 1(b)).

[0053]

[Table 4]

GAS FLOW RATE (l/min)	SUBSTRATE TEMPERATURE (°C)	PRESSURE (Torr)	GROWTH TIME (min)
SiH ₂ Cl ₂ /HCl/H ₂ = 0.5/1.6/100	950	100	40

[0054] In the same manner as Experiments 4, 5 the wafer was immersed in aqueous HF solution, SiO₂ insulation layers 102 were removed through voids, and the wafer was further immersed in the mixture solution (10:6:50) of 49% hydrofluoric acid, 100% alcohol and 30% hydrogen peroxide to perform selective etching of porous layer 103 (Fig. 1(c)). The separated epitaxial layer 104 was placed on SUS substrate 101 with Cr deposited thereon, and annealing was performed in

the same manner as Experiment 5 to form a silicide layer 107 on an interface of Cr face and epitaxial layer, so that the epitaxial layer 104 was fixed to the substrate (Fig. 1(d)). Subsequently, P thermal diffusion was performed on a surface of epitaxial layer 104 using POCl₃ as a diffusion source at 900°C to form n⁺ layer 108, so that a junction depth of about 0.5 μm was obtained (Fig. 1(e)). After a dead layer of a surface of formed n⁺ layer 108 was wet oxidized, the layer was removed by etching, and a junction depth of about 0.2 μm having an appropriate surface concentration was obtained. In the wet oxidation process, the Cr surface exposed in voids of the epitaxial layer was also oxidized to form insulation layers 109 (Fig. 1(f)).

[0055] Finally, by EB (Electron Beam) deposition, ITO transparent conductive film (820 angstroms)/current collector electrode (Cr/Ag/Cr (200 angstroms/1 μm/400 angstroms)) were formed on the n⁺ layer (Fig. 1(g)).

[0056] For a thin-film crystal silicon solar cell obtained as described above, when I-V characteristics under AM 1.5 (100 mW/cm²) light irradiation were measured, at a cell area of 6 cm², an open voltage was 0.58 V, short-circuit photoelectric current was 32 mA/cm², curve factor was 0.75, and conversion efficiency was 13.9%. A thin-film crystal solar cell having excellent characteristics can be prepared using the epitaxial layer separated (peeled) from the wafer as described above.

[0057] Example 2

A p⁺ n thin-film crystal solar cell was prepared in the same manner as Example 1. Anodization was performed on

an n-type (100) silicon wafer 101 with a thickness of 500 μm ($\rho=0.01\Omega\cdot\text{cm}$) in aqueous HF solution on the conditions of Table 1, and a porous silicon layer 103 was formed on the wafer 101.

[0058] An insulation layer of Si_3N_4 of 3000 angstroms was deposited by an LPCVD device, and Si_3N_4 layer 102 was patterned using RIE (Reactive Ion Etching) device at $a=100\ \mu\text{m}$, $b=500\ \mu\text{m}$ in the same manner as Example 1.

[0059] Selective epitaxial growth was performed on the forming conditions of Table 4 by the LPCVD device to form an epitaxial layer 104 with a thickness of about 50 μm .

[0060] The wafer was immersed in hot phosphoric acid solution of 180°C. Si_3N_4 was removed through the voids, and the wafer was further immersed in the mixture solution (10:6:50) of 49% hydrofluoric acid, 100% alcohol and 30% hydrogen peroxide to selectively etch the porous layer 103.

[0061] The epitaxial layer 104 separated from the wafer was placed on Mo substrate 101 with a thickness of 0.9 mm, and annealing was performed at 550°C to form a silicide layer 107. Subsequently, B thermal diffusion was performed on a surface of epitaxial layer 104 using BCl_3 as a diffusion source at 950°C to form p^+ layer 108, so that a junction depth of about 0.5 μm was obtained. After a dead layer of a surface of formed p^+ layer was wet oxidized, the layer was removed by etching, and a junction depth of about 0.2 μm having an appropriate surface concentration was obtained. In the wet oxidation process, the Mo surface exposed in voids of the epitaxial layer was also oxidized and insulated.

[0062] Finally, by EB deposition, ITO transparent conductive

film (820 angstroms)/current collector electrode (Cr/Ag/Cr (200 angstroms/1 μm /400 angstroms)) were formed on the p⁺ layer.

[0063] For a thin-film crystal silicon solar cell obtained as described above, when I-V characteristics under AM 1.5 (100 mW/cm²) light irradiation were measured, at a cell area of 6 cm², an open voltage was 0.57 V, short-circuit photoelectric current was 31.5 mA/cm², curve factor was 0.77, and energy conversion efficiency was 13.8%.

[0064] Example 3

A p⁺ $\mu\text{c-Si}$ /crystal silicon hetero-type solar cell was prepared. Figs. 6(a) to (g) show a process of preparing the hetero-type solar cell. By the process similar to that of Examples 1, 2 a porous silicon layer 603 of 1 μm was formed on a wafer 601, on which SiO₂ film was deposited. Patterning was performed at a=120 μm , b=600 μm to form an insulation layer 602. Selective epitaxial growth was performed on the forming conditions of Table 4 by the LPCVD method to deposit an epitaxial layer 104.

[0065] The wafer was immersed in aqueous HF solution, SiO₂ was removed through the voids, and the wafer was further immersed in the mixture solution (10:6:50) of 49% hydrofluoric acid, 100% alcohol and 30% hydrogen peroxide to selectively etch the porous layer 603.

[0066] The separated epitaxial layer 604 was placed on SUS substrate 606 with Cr deposited thereon, and annealing was performed to form a silicide layer 607 in an interface of Cr face and epitaxial layer, so that the epitaxial layer 604 was fixed to the substrate 606. Annealing was further performed

in O₂ atmosphere, and Cr surface exposed in voids of the epitaxial layer was oxidized. After SiO₂ formed on the epitaxial layer surface was etched and removed, p type μ -Si layer 609 of 200 angstroms was deposited on the epitaxial layer 604 on conditions of Table 5 by an ordinary plasma CVD device. In this case, a dark conductivity of the μ -Si film was $10^1 \text{ S} \cdot \text{cm}^{-1}$ at maximum.

[0067]

[Table 5]

GAS FLOW RATE	SUBSTRATE	PRESSURE	DISCHARGE POWER
	TEMPERATURE °C	Torr	W
SiH ₄ H ₂ =1cc/20cc B ₂ H ₆ /SiH ₄ = 2.0×10^{-2}	250	0.5	20

[0068] After a hetero-type pn junction was formed as described above, ITO as a transparent conductive film 610 was deposited in about 850 angstroms by electron beams, and further a current collector electrode (Cr/Ag/Cr (200 angstroms/1 μ m/400 angstroms)) 611 was formed.

[0069] For a p μ -Si/crystal silicon hetero-type solar cell obtained as described above, when I-V characteristics under AM 1.5 light irradiation were measured (cell area of 6 cm²), an open voltage was 0.60 V, short-circuit photoelectric current was 32 mA/cm², curve factor was 0.73, and conversion efficiency was 14%. High values were obtained in this manner. A higher open voltage can be obtained using the hetero-junction.

[0070] Example 4

A n

same manner as Experiment 1, anodization was performed on a p-type (100) silicon wafer ($\rho=0.01\Omega\cdot\text{cm}$) 101 with a thickness of 500 μm in aqueous HF solution on conditions of Table 3 to form a porous silicon layer 103 on the wafer 101. Deposited on a surface of the porous silicon was SiO_2 of 3000 angstroms by thermal oxidation. Wet etching was performed to pattern a square having a side $a=120\text{ }\mu\text{m}$, and insulation layers 102 were formed in grid points at an interval $b=600\text{ }\mu\text{m}$.

[0071]

[Table 6]

H ₂ FLOW RATE l/min	SOLVENT (Sn) TEMPERATURE °C	SLOW COOLING RATE °C/min
2.0	950 → 900	0.5

[0072] Selective epitaxial growth was performed on conditions of Table 6 by the liquid phase growth method, and an epitaxial layer 104 was grown by about 45 μm . In this case Sn was used as solvent, and Si was dissolved and saturated beforehand in Sn before the growth. Thereafter, slow cooling was started. In a certain supersaturated state, the porous layer surface of the wafer was immersed in Sn solution, and growth was performed for a predetermined time. Since Sn has a bad wettability to SiO_2 , Si fails to separate out on SiO_2 , and remarkably high selective growth properties are kept.

[0073] The wafer was immersed in aqueous HF solution, SiO_2 was removed through the voids, and the wafer was further immersed in the mixture solution (10:6:50) of 49% hydrofluoric acid, 100% alcohol and 30% hydrogen peroxide to selectively etch the porous layer 103. The separated

epitaxial layer 104 was placed on SUS substrate 101 with Cr deposited thereon, and annealing was performed to form a silicide layer 107 in an interface of Cr face and epitaxial layer, so that the epitaxial layer was fixed to the substrate. Subsequently, P thermal diffusion was performed on the epitaxial layer surface using POCl_3 as a diffusion source at 900°C to form n^+ layer 108, so that a junction depth of about $0.5\text{ }\mu\text{m}$ was obtained. After a dead layer of formed n^+ layer surface was wet oxidized, the layer was etched and removed, and a junction depth of about $0.2\text{ }\mu\text{m}$ having an appropriate surface concentration was obtained. In the wet oxidation process, Cr surface exposed in the voids of the epitaxial layer was also oxidized and insulated.

[0074] Finally, by EB (Electron Beam) deposition, ITO transparent conductive film (820 angstroms) 110/current collector electrode (Cr/Ag/Cr (200 angstroms/ $1\text{ }\mu\text{m}$ /400 angstroms)) 111 were formed on the n^+ layer 108.

[0075] For a thin-film crystal silicon solar cell obtained as described above, when I-V characteristics under AM 1.5 (100 mW/cm^2) light irradiation were measured, at a cell area of 4 cm^2 , an open voltage was 0.58 V, short-circuit photoelectric current was 31 mA/cm^2 , curve factor was 0.75, and energy conversion efficiency was 13.5%.

[0076] According to the present invention, a good-quality epitaxial silicon layer grown on the porous silicon formed on the wafer can be transferred to the non single-crystal substrate, so that a higher quality, less expensive solar cell can be manufactured as compared with the prior art.

[0077]

[Effect of the Invention] As described above, according to the present invention, a crystal thin-film solar cell having excellent characteristics can be formed on a metal substrate or another non single-crystal substrate. Therefore, productive, inexpensive and good-quality solar cells can be provided on the market.

[Brief Description of the Drawings]

[Fig. 1] It is a schematic view showing a manufacture process of a solar cell of the present invention.

[Fig. 2] It is a schematic view showing a selective epitaxial growth method.

[Fig. 3] It is a schematic view showing that an epitaxial silicon thin layer is separated from a wafer by a method of the present invention.

[Fig. 4] It is a schematic view showing that an epitaxial silicon thin layer is separated from a wafer by a method of the present invention.

[Fig. 5] It is a graph showing the time dependence of a thickness of a porous silicon or a single-crystal silicon etched by a selective etching liquid.

[Fig. 6] It is a schematic view showing a manufacture process of p⁺μc-Si/crystal silicon hetero-type solar cell prepared by a method of the present invention.

[Description of Reference Numerals]

101, 202, 301, 601 Si wafer
106, 606 substrate
102, 302, 602 insulation layer
103, 303, 603 porous silicon layer
104, 203, 304, 604 epitaxial silicon layer

108 p⁺ layer (n⁺ layer)
609 p⁺μc-Si layer
110, 610 transparent conductive layer
111, 611 current collector electrode
105, 305, 605 void
107, 607 metal
109, 608 oxide layer
201 non nucleus forming face